

## ⑫ 公開特許公報(A) 平3-277003

⑬ Int. Cl.<sup>5</sup>

H 03 F

1/02  
3/193  
3/24

識別記号

庁内整理番号

7239-5 J  
8326-5 J  
8836-5 J

⑭ 公開 平成3年(1991)12月9日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 高周波高出力増幅器

⑯ 特 願 平2-79115

⑰ 出 願 平2(1990)3月27日

⑱ 発 明 者 村 口 正 弘 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑲ 発 明 者 相 川 正 義 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号  
㉑ 代 理 人 弁理士 古谷 史旺

## 明 細 書

## 1. 発明の名称

高周波高出力増幅器

## 2. 特許請求の範囲

## (1) 飽和出力の大きなFETと、

このFETとはバイアス供給回路が別系統である飽和出力の小さなFETと、

各FETのゲート端子どうしおよびドレイン端子どうしをそれぞれ接続するキャパシタと

を備え、いずれか一方のFETのゲートに印加する電圧を、入力信号のピーク電圧がそのピンチオフ電圧を越えない値に設定し、作動するFETを選択する構成である

ことを特徴とする高周波高出力増幅器。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、高周波信号を送受信する通信装置の電力増幅器として用いられる高周波高出力増幅器

に関する。

特に、出力電力の切り替えが可能な構成であり、各出力電力において高効率を実現する高周波高出力増幅器に関する。

(従来の技術)

携帯用無線器などの移動機に用いられる各回路は、低消費電力であることが重要になっている。特に、送信時の電力増幅器における消費電力は移動機全体の消費電力の大きな割合を占めており、その効率向上は大きな課題になっている。

さらに、移動機では基地局との距離によって出力電力を切り替える機能が不可欠になっており、高出力時と同様に、使用時間の長い低出力時においても高効率を維持することが要求されている。

一般に、高効率かつ高出力である高周波増幅器としては、B級増幅器あるいはB級増幅器に高調波処理回路を付加したF級増幅器が使用されている。

第4図は、従来の高周波高出力増幅器の等価回

路図である。

図において、高周波増幅器では、大きな出力を得るために、ゲート幅が数ミリメートルある飽和出力の大きなFET(電界効果トランジスタ)41が用いられる。高周波増幅器は、このFET41と入出力の整合回路43、45およびバイアス供給回路47、49その他から構成される。ここで、FET41の入力側にゲート電圧 $V_g$ を供給するバイアス供給回路47は抵抗器で構成され、出力側にドレイン電圧 $V_d$ を供給するバイアス供給回路49は、高周波出力に対して大きなリアクタンスを有するインダクタで構成される。なお、バイアス供給回路47、49は、整合回路の一部に組み込んでしまい、両者を明確に区別できないこともある。

ところで、B級増幅器、F級増幅器ともに、入力電力に対する出力電力および効率(ドレイン効率)特性は同様な変化を示す。

第5図は、B級増幅器およびF級増幅器における入力電力に対する出力電力およびドレイン効率

特性を示す図である。

これらの増幅器では、入力電力が大きい飽和出力付近で高い効率を示すが、入力電力が小さい低出力領域では低い効率にとどまっている。したがって、これらの増幅器では、低出力時に特別な対策を施して効率向上が図られている。

なお、低出力時に高効率を維持するための従来技術としては、低出力時にFETのドレイン電圧を下げるバイアス制御を行う方法か、第6図に示すように、飽和出力の大きな増幅器61と、飽和出力の小さい増幅器63とをスイッチ65、67で切り替える方法がとられている。

〔発明が解決しようとする課題〕

ところが、前者の方法では次のような問題点があった。

① 高出力時と比較して、出力電力が1/10以下となるような低出力時には、もはやドレイン電圧を下げてても十分な効率が得られない。

② ドレインには大きな電流が流れるので、F

ドレイン電圧の切り替えには専用の可変出力電圧のDC/DCコンバータが必要となる。しかも、このコンバータは、複雑な回路構成となるので電源回路自体の電力変換効率が悪く、増幅器全体の効率にこの電源回路の効率を加えた場合は、必ずしも有利な構成とはならなかった。

また、後者の方法では次のような問題点があった。

① 入力側および出力側の両方にスイッチが必要であり、それに伴って挿入損失が生じる。特に、出力側の挿入損失は直接的に増幅器の効率を低下させる要因となる。たとえば、出力側のスイッチによる挿入損失が1dBあったとすると、それに伴う効率低下は約20%にも達し、高出力時の消費電力に与える影響は無視できない。

② 出力側のスイッチは高出力に対応する高周波スイッチとなるので、スイッチングのための消費電力が大きく、かつ回路寸法も大きくなり、また高価であった。

本発明は、簡単な構成で低出力時においても高

出力時と同等の高効率を実現することができる高周波高出力増幅器を提供することを目的とする。

〔課題を解決するための手段〕

本発明は、飽和出力の大きなFETと、このFETとはバイアス供給回路が別系統である飽和出力の小さなFETと、各FETのゲート端子どうしおよびドレイン端子どうしをそれぞれ接続するキャパシタとを備え、いずれか一方のFETのゲートに印加する電圧を、入力信号のピーク電圧がそのピンチオフ電圧を越えない値に設定し、作動するFETを選択する構成とする。

〔作 用〕

本発明は、バイアス供給回路が別系統である飽和出力の大きなFETと小さなFETとが、各ゲート端子どうしおよびドレイン端子どうしを接続するキャパシタを介して並列接続される構成である。このような構成において、いずれか一方のFETのゲートに印加する電圧を、入力信号のピー

ク電圧がそのピンチオフ電圧を越えない値に設定し、対応するFETのドレイン電流をほぼ等にするにより、作動するFETが選択されて出力の切り替えが行われる。

ここで、ゲート側およびドレイン側で使用されるキャパシタは、各FETのバイアス供給回路を分離するとともに、飽和出力の小さなFETの整合素子を兼ねることができる。

このような構成で、一方のFETのゲートに印加する電圧を制御することにより、ドレイン電流を零としてそのFETをオフ状態にすることができる。すなわち、高出力時には飽和出力の大きなFETのみをオンとし、他方をオフとする。また、低出力時には飽和出力の小さなFETのみをオンとし、他方をオフとする。

このようなゲート電圧制御により、高出力時には飽和出力の大きなFETをその飽和出力付近で使用し、低出力時には飽和出力の小さなFETをその飽和出力付近で使うことができ、高出力時と低出力時の両方で高効率を実現することがで

きる。

なお、このような構成では、オフ状態のFETの出力インピーダンスを極めて高くすることができ、効率に大きな影響を与える出力側で、オフ状態のFETの影響を低く抑えることができる。しかも、FETのゲートには電流が流れないので、ゲート電圧の切り替えは簡単な回路構成で可能であり、電源回路による電力効率の低下を回避することができる。

#### 〔実施例〕

以下、図面に基づいて本発明の実施例について詳細に説明する。

第1図は、本発明の一実施例を示す等価回路図である。

図において、飽和出力の大きなFET11と飽和出力の小さなFET12は、そのゲート端子どうしおよびドレイン端子どうしを接続するキャパシタ13<sub>1</sub>、13<sub>2</sub>を介して並列接続される。入力信号は、入力整合回路14を介して各FET1

1、12のゲート端子に入力され、各FET11、12の出力は、出力整合回路15を介して取り出される。

FET11のゲート電圧 $V_{g11}$ は抵抗器16<sub>1</sub>を介して印加され、ドレイン電圧 $V_{d11}$ は高周波出力に対して大きなリアクタンスを有するインダクタ17<sub>1</sub>を介して印加される。また、FET12のゲート電圧 $V_{g12}$ は抵抗器16<sub>2</sub>を介して印加され、ドレイン電圧 $V_{d12}$ は高周波出力に対して大きなリアクタンスを有するインダクタ17<sub>2</sub>を介して印加される。

このように、各FET11、12のバイアス供給回路は別系統になっており、個々の電圧は独立に設定できるものとする。

ここで、本実施例における高出力時の等価回路および低出力時の等価回路をそれぞれ第2図および第3図に示す。

第2図において、ゲート電圧を制御することによってオフとなったFET12は、入力側はキャパシタ21と抵抗器22に、出力側は抵抗器23

に等価的に置き換えられる。また、第3図において、オフとなったFET11は、入力側はキャパシタ31と抵抗器32に、出力側は抵抗器33に等価的に置き換えられる。

入力側では、入力整合回路14からFETを見た場合に、FET11、12のオン、オフの組み合わせの違いによるインピーダンスの変化は比較的小さい。したがって、FETのオン、オフの状態にかかわらず、許容できる特性範囲内で入力整合回路14を設計することができる。

一方、出力側では、オフのFETの出力インピーダンス(抵抗器23、33)は、FET側から負荷を含む出力整合回路15を見たインピーダンスと比較して、格段に高い値になっている。一般に、前者は数 $k\Omega$ になるのに対して、後者は数十 $\Omega$ である。したがって、オフの状態のFETが出力側に接続されることによる影響はほとんどなく、オフの状態のFETを考慮することなく出力整合回路15を設計することができる。

ところで、高周波高出力増幅器では高出力時の

効率が優先されるので、FET11がオン、FET12がオフの高出力時の状態で出力整合回路15が設計される。したがって、FET11がオフ、FET12がオンの低出力時の状態では、FET12のドレイン端子から出力整合回路15を見たインピーダンスは、最適インピーダンスよりかなり低い値になる。これは、FETの出力インピーダンスがゲート幅の大きさに反比例するので、FET11と比べてゲート幅が小さいFET12では、出力インピーダンスが相対的に高くなっているためである。

しかし、通常の場合に、FETのドレイン端子から見た出力整合回路15のインピーダンスが最適値より低い方にずれているときには、効率が極端に低下する傾向にある。したがって、本発明では、次に示すような手段を講じる。

① 出力側のキャパシタ13の容量を小さくし、FET12のドレイン端子から見た出力整合回路15のインピーダンスを高くする。

② ドレイン電圧を下げると、ドレイン端子か

ら出力整合回路15を見た場合の最適インピーダンスが低い方向に移動することから、FET12のドレイン電圧 $V_{ds2}$ をFET11のドレイン電圧 $V_{ds1}$ によりも低く設定する。

このような操作により、低出力時の効率を最大限に引き出すことができる。

#### 〔発明の効果〕

上述したように、本発明は、飽和出力の大きなFETと飽和出力の小さなFETを用い、信号入力時において一方のFETのドレイン電流がほぼ零となるように、そのゲートに印加する電圧を設定することにより、他方のFETのみを動作させる出力切り替えを可能にしている。

したがって、本発明は高出力時には飽和出力の大きなFETをその飽和出力付近で使用し、低出力時には飽和出力の小さなFETをその飽和出力付近で使用することができるので、高出力時および低出力時ともに高効率を実現することができる。

なお、ドレイン電圧を切り替える必要がなく、

またゲート電圧の切り替えは簡単な回路構成で済むので、電源回路による電力効率の低下を回避することができる。さらに、スイッチ回路が不要であるので、それに伴う消費電力の増大、挿入損失による利得の低下がなく、得られた効率を最大限に引き出すことができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す等価回路図。

第2図は実施例における高出力時の等価回路図。

第3図は実施例における低出力時の等価回路図。

第4図は従来の高周波高出力増幅器の等価回路図。

第5図はB級増幅器およびF級増幅器における入力電力に対する出力電力およびドレイン効率特性を示す図。

第6図は低出力時に高効率を維持するための従来構成を示す図。

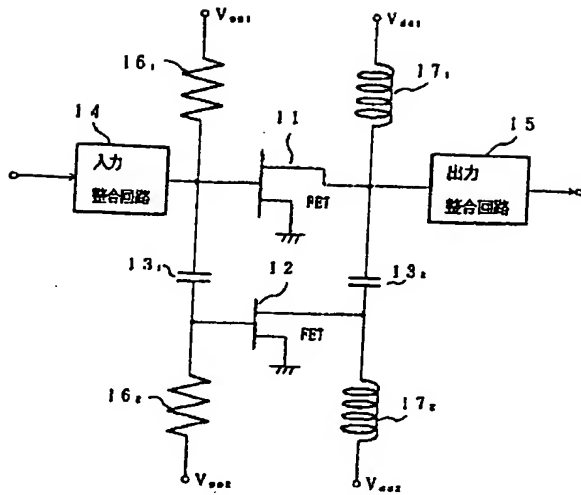
11…飽和出力の大きなFET、12…飽和出力の小さなFET、13…キャパシタ、14…入

力整合回路、15…出力整合回路、16…抵抗器、17…インダクタ、21…FET12に等価なキャパシタ、22、23…FET12に等価な抵抗器、31…FET11に等価なキャパシタ、32、33…FET11に等価な抵抗器、41…FET、43、45…整合回路、47、49…バイアス供給回路。

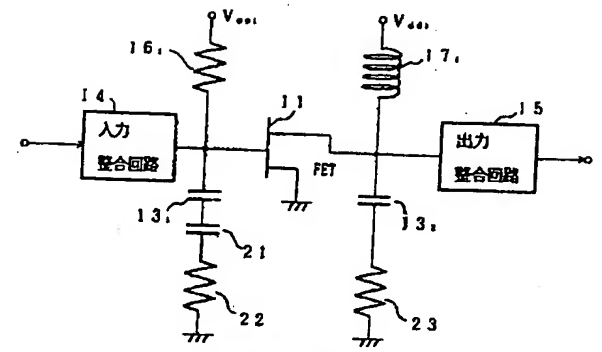
特許出願人 日本電信電話株式会社

代理人 弁理士 古谷史旺

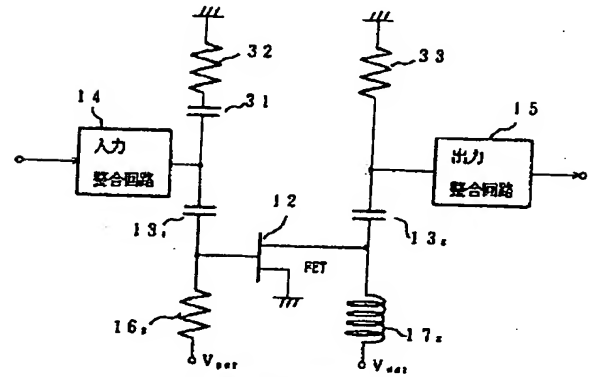




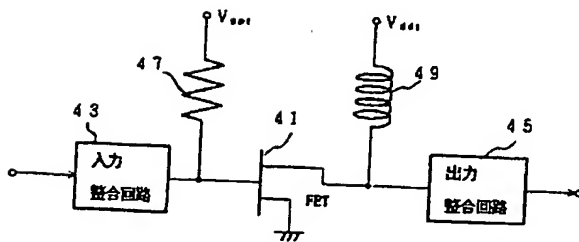
第 1 図



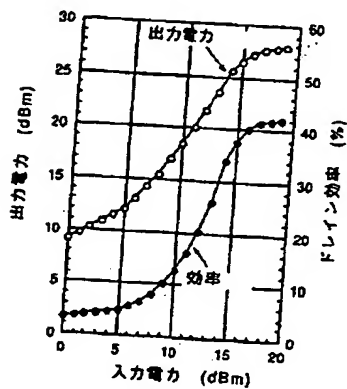
第 2 図



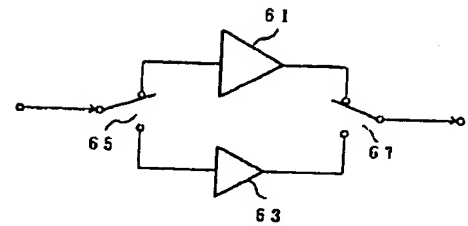
第 3 図



第 4 図



第 5 図



第 6 図